

2024 International Solid-State Circuits Conference

(ISSCC) Review

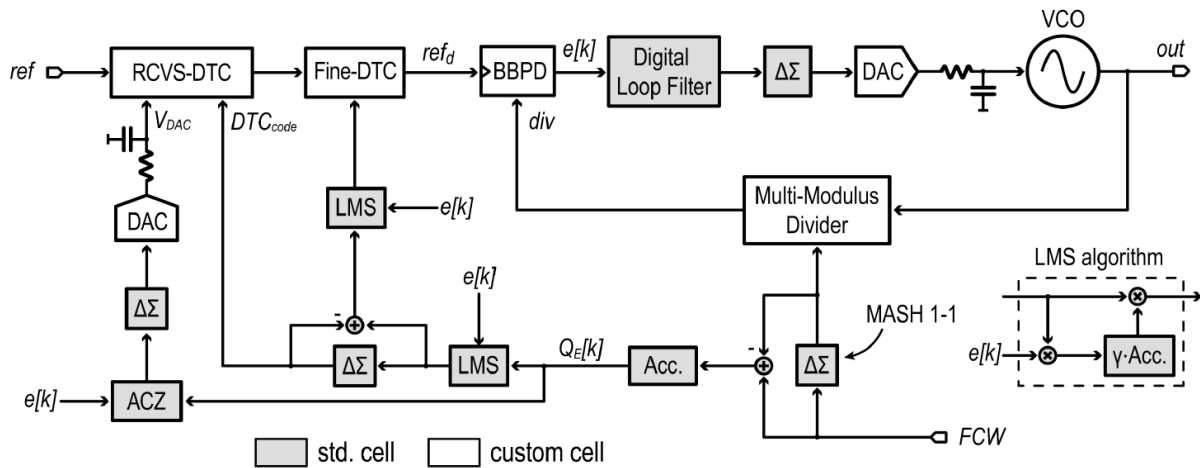
울산과학기술원 (UNIST) 전기전자공학과 윤희인 교수

Topic: PLL

Session 10: Frequency Synthesis

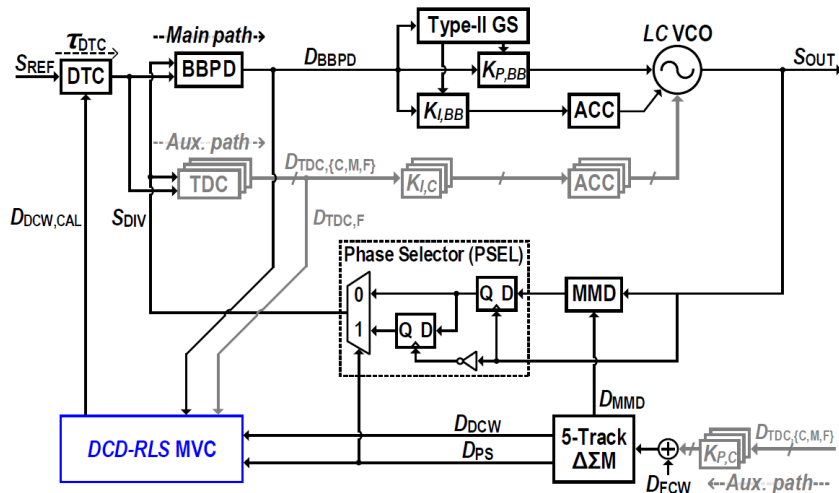
ISSCC 2024의 Session 10은 Frequency synthesis라는 주제로 총 9편의 논문이 발표되었다. 이 세션에서는 고성능 무선 통신 및 FMCW 레이더 시스템을 위한 GHz부터 THz에 이르는 디지털 및 아날로그 PLL 연구들이 다수 발표되었다.

#1-1 Politecnico di Milano에서는 28 nm CMOS 공정에서 Fractional-N digital PLL을 발표하였다. 제시된 PLL은 reverse-concavity variable-slope DTC와 디지털로 보정된 아날로그 predistortion을 동시에 활용하여 low-phase-noise 성능과 높은 선형성을 동시에 달성할 수 있었다. 본 연구는 57.3fs RMS Jitter, -63.4 dBc fractional spur, 그리고 8.75 GHz 아웃풋 주파수에서 -252.4 dB의 FoM을 달성하였다.



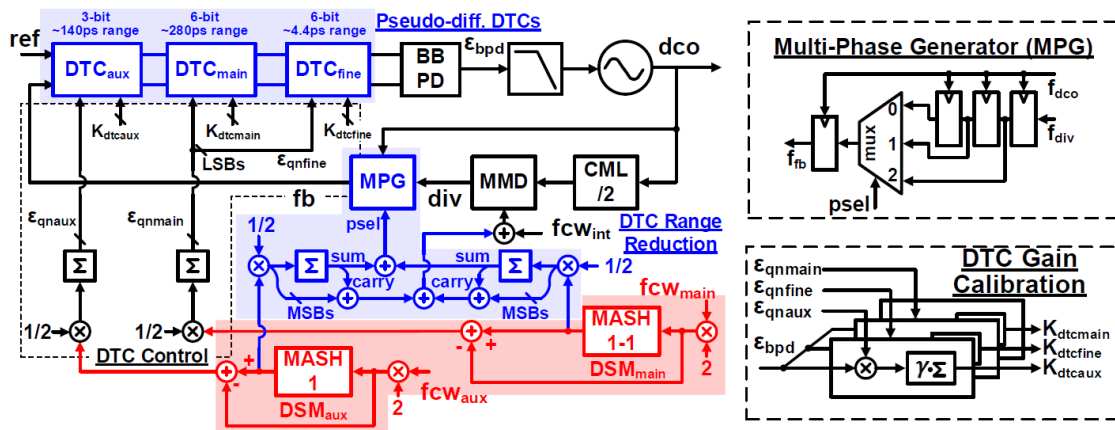
[그림 1] 제안된 PLL의 블록 다이어그램

#1-2 KAIST에서는 기존의 Least-Mean square (LMS) 알고리즘의 convergence에 걸리는 시간을 단축하기 위해서 Recursive-Least-Squares (RLS) 알고리즘을 디지털 PLL에 적용하여 약 400 us정도 걸리던 LMS의 convergence 시간을 RLS 알고리즘을 적용하여 5.5us로 단축시키는 연구를 제안하였다. RLS 알고리즘을 구현하는데 있어서 하드웨어의 복잡성을 줄이기 위해 Dichotomous Coordinate Descent-based (DCD)-RLS을 적용하였다. 본 연구는 88.0fs RMS Jitter, -68 dBc fractional spur, 그리고 8 GHz 아웃풋 주파수 부근에서 -249.1 dB의 FoM을 달성하였다.



[그림 2] 제안된 RLS-based PLL의 전체 블록 다이어그램

#1-3 Tokyo Institute of Technology에서는 digital pre distortion (DPD)를 쓰지 않고 fractional-N digital PLL의 fractional spur 성능을 높이기 위한 연구를 65nm CMOS를 이용하여 진행하였다. 낮은 주파수 대역에 위치하는 fractional spur들을 cascaded된 주파수 분주기와 두개의 ΔΣ modulation을 사용하여 PLL bandwidth보다 높은 주파수 대역으로 보냄으로써 jitter성능을 저하시키지 않고 효과적으로 fractional spur를 줄일 수 있음을 보여주었다. 본 연구는 -62.1dBc worst-case fractional spur, 그리고 7 GHz 부근에서 143.7fs rms jitter 및 -247.4dB의 FoM을 달성하였다.



[그림 3] 제안된 cascaded frequency divider를 이용한 fractional-N PLL의 구조

#1-4 University College Dublin 에서는 fractional, horn, and wandering spurs를 효과적으로 줄이기 위한 여러 방법들 중 an enhanced nonlinearity-induced noise performance (ENOP) digital $\Delta\Sigma$ modulator를 0.18 μm -SiGe-BiCMOS 공정에서 구현하여 fractional-N PLL이 45.5fs rms random jitter 와 -75dBc worst-case fractional spur 및 -118dBc reference spur를 6.56 GHz 근처에서 달성할 수 있음을 보여주었다. 0.18 μm -SiGe-BiCMOS 공정을 사용하여 다른 논문들 대비 파워 소모가 심하지 만 (2100 mW), MASH를 사용한 $\Delta\Sigma$ modulator 구조와 비교하여 ENOP를 적용한 구조에서 실제적 으로 wandering spur가 효과적으로 줄어듬과 동시에 jitter의 성능 열화 또한 MASH구조에 비해서 없음을 보여주었다.

ENOP vs MASH 1-1-1

■ MASH 1-1-1

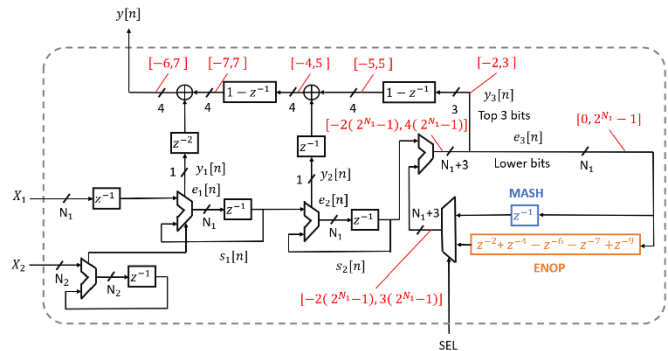
$$NTF_M(z) = (1 - z^{-1})^2(1 - z^{-1})$$

$$r = 2; p_{opt} = 3; \rho = 2 < \rho_{opt}, \sigma^2_{eacc} = 3/6 \text{ (both suboptimal)}$$

■ ENOP P9

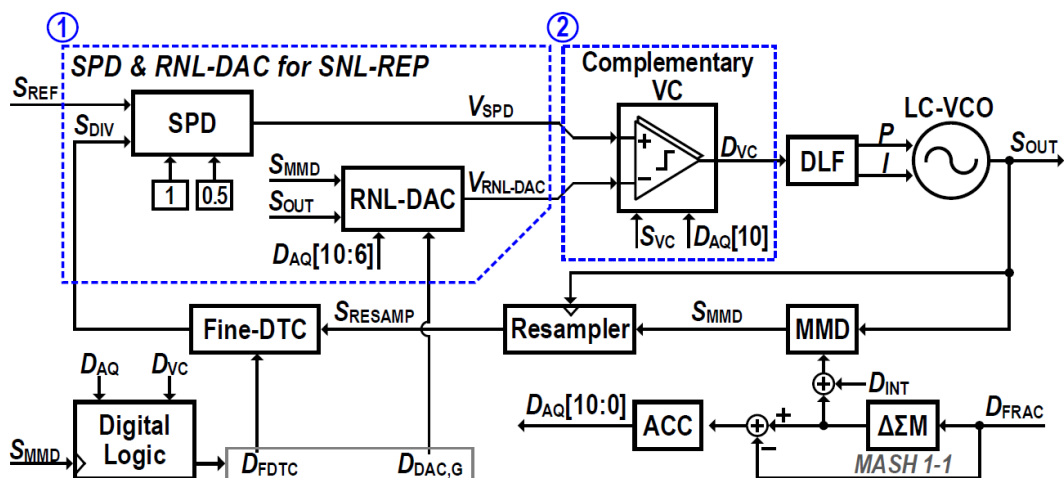
$$NTF_E(z) = (1 - z^{-1})^2(1 - z^{-2} - z^{-4} + z^{-6} + z^{-7} - z^{-9})$$

$$r = 5; p_{opt} = 9; \rho = 9 = \rho_{opt}, \sigma^2_{eacc} = 5/6 \text{ (both optimal)}$$



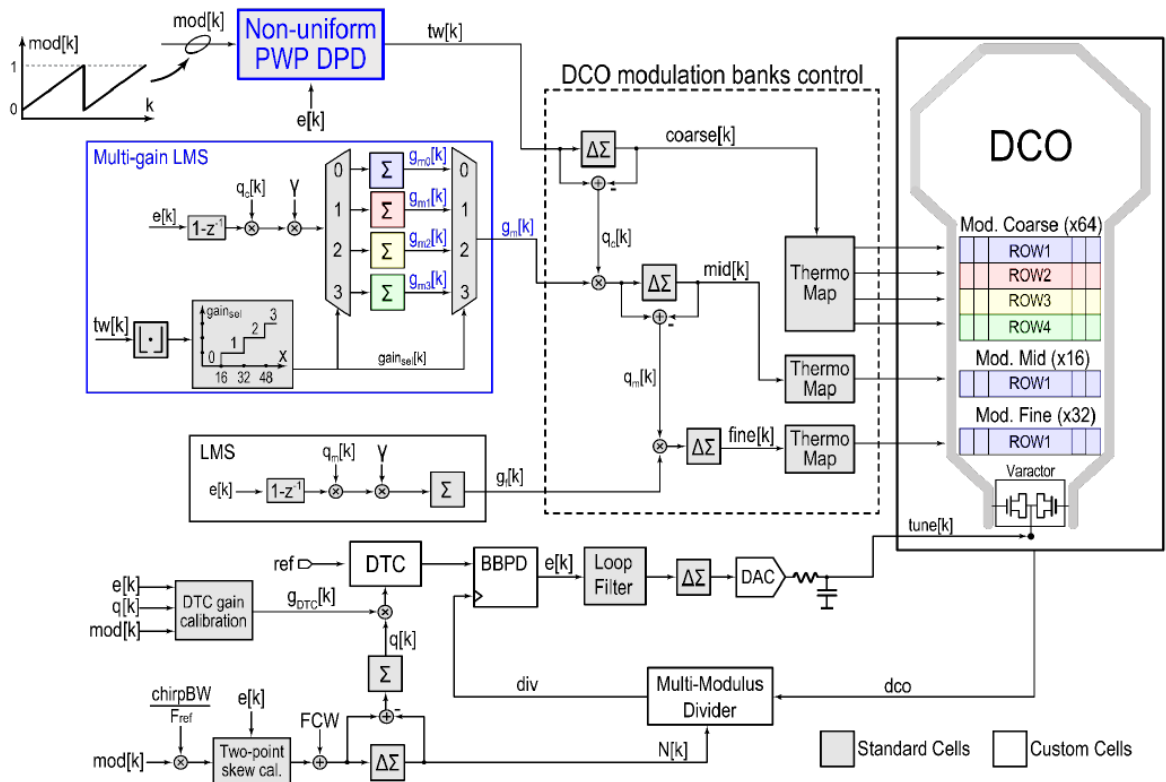
[그림 4] 제안된 ENOP와 MASH구조의 비교 및 ENOP divider controller의 구현

#1-5 KAIST에서는 fractional-N PLL에서 주로 사용되는 digital-to-time converter (DTC)의 thermal noise로 인한 in-band phase noise의 성능 열화를 개선하고자 voltage domain에서 Quantization (Q) noise을 cancellation 하는 것의 이점을 제안하였다. 하지만, 구현 과정에서 sampling-PD (SPD) 에 발생하는 non-linearity를 개선하기 위해 Non-linearity를 복제하는 digital-to-analog converter (DAC)의 구조를 제안하였다 (RNL-DAC). 이를 통해 40 nm 공정에서 연구된 fractional-N digital sampling PLL은 SPD의 non-linearity를 효과적으로 상쇄시킬 수 있었으며, 11.1 GHz 근처 주파수에서 fractional spur, jitter, 그리고 FoM 성능은 각각 -65dBc, 76fsrms, 그리고 -250.5dB를 달성하였다.



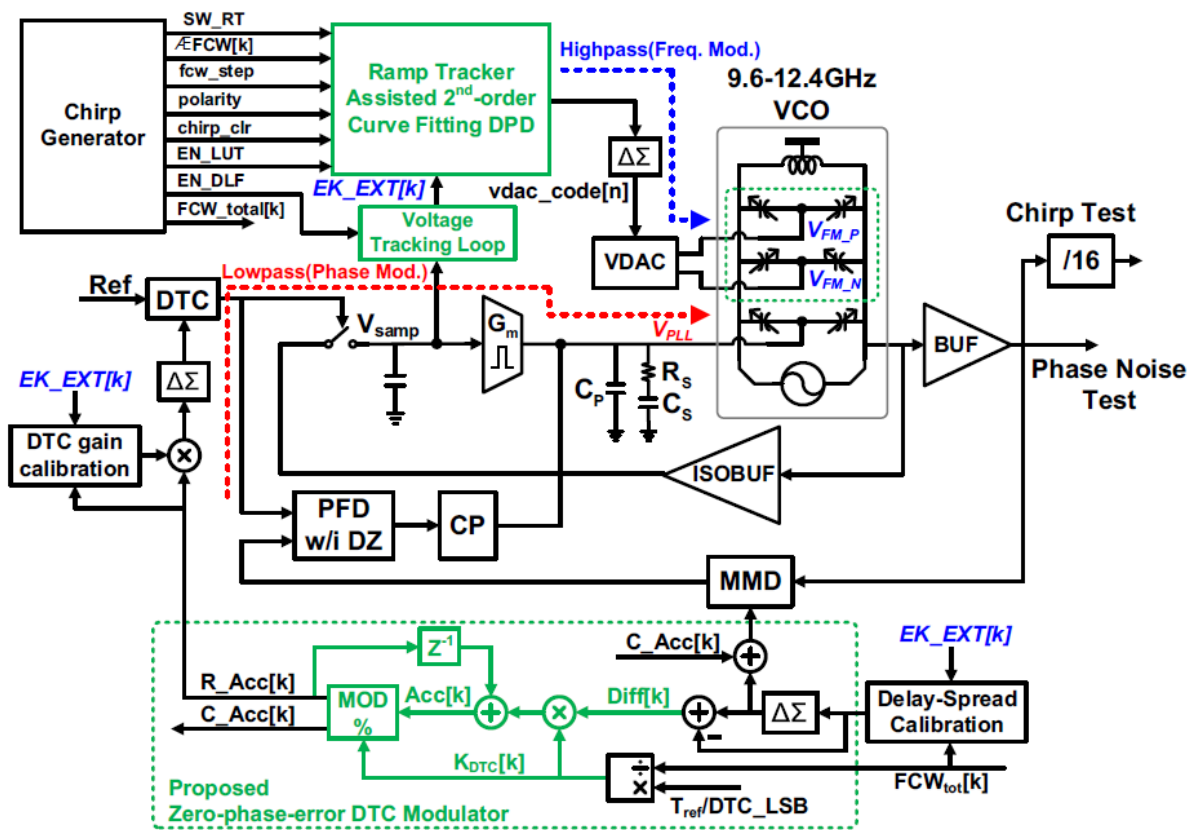
[그림 5] 제안된 RNL-DAC를 이용한 fractional-N PLL의 구조

#1-6 Politecnico di Milano 에서는 28nm공정을 이용하여 digital PLL을 이용한 FMCW modulator에 대해서 발표하였다. FMCW PLL에서는 low phase noise 성능을 내면서도 wide chirp bandwidth를 가지면서도 non-linearity를 줄이는 것이 중요한데, 본 연구에서는 이를 위해 Two-point modulation을 적용하여 넓은 bandwidth를 확보하였고, piece-wise-parabolic digital predistortion (DPD)를 사용하여 non-linearity를 개선할 것을 제안하였다. DPD는 Least-mean square 알고리즘을 통하여 non-linearity의 3차 계수까지 계산하여 linearity를 개선시켰으며, 본 연구는 682MHz/μs의 chirp slope를 달성하였다. 9.25-to-10.5GHz 아웃풋 주파수 대역에서 0.02% 주파수 에러만을 보여주며, 제안된 PLL은 87.1fs rms jitter 및 -248dB의 FoM 성능을 달성하였다.



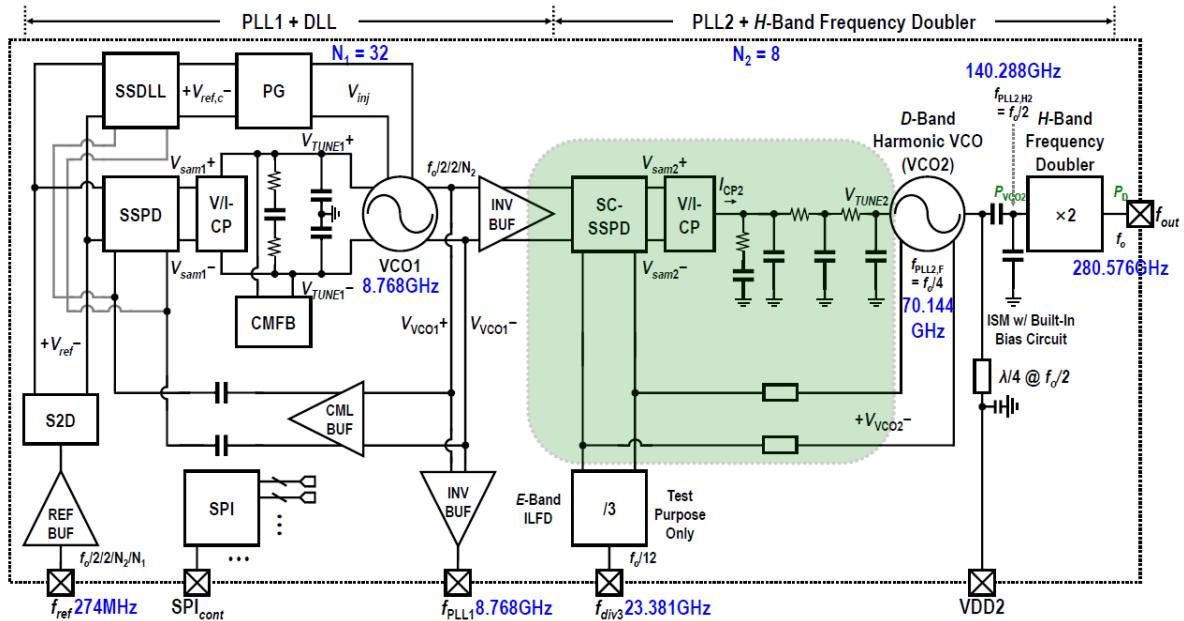
[그림 6] FMCW를 위해 TPM과 DPD를 적용하여 linearity를 개선시킨 PLL 전체 구조

#1-7 Southeast University 은 65nm 공정에서 analog PLL을 기반으로 한 FMCW modulator에 대해서 발표하였다. 본 연구에서는 sub-cm의 작은 분해능을 위해 넓은 chirp bandwidth, 짧은 chirp duration을 위한 높은 chirp slope, 그리고 좋은 linearity와 phase noise를 달성하고자 하였다. 이를 위해 본 연구에서는 TPM 사용을 통해 넓은 bandwidth를 달성하고자 하였고, ramp tracker를 제안 하면서, 이를 통해 ramp의 2차 curve fitting을 통해 linearity를 개선하고자 하였다. 본 연구는 9.6-to-12.4GHz 주파수 대역에서, 2.3GHz/μs의 높은 chirp slope, 2.3 GHz의 chirp bandwidth에 걸쳐 0.051%의 rms frequency error만을 보여준다.



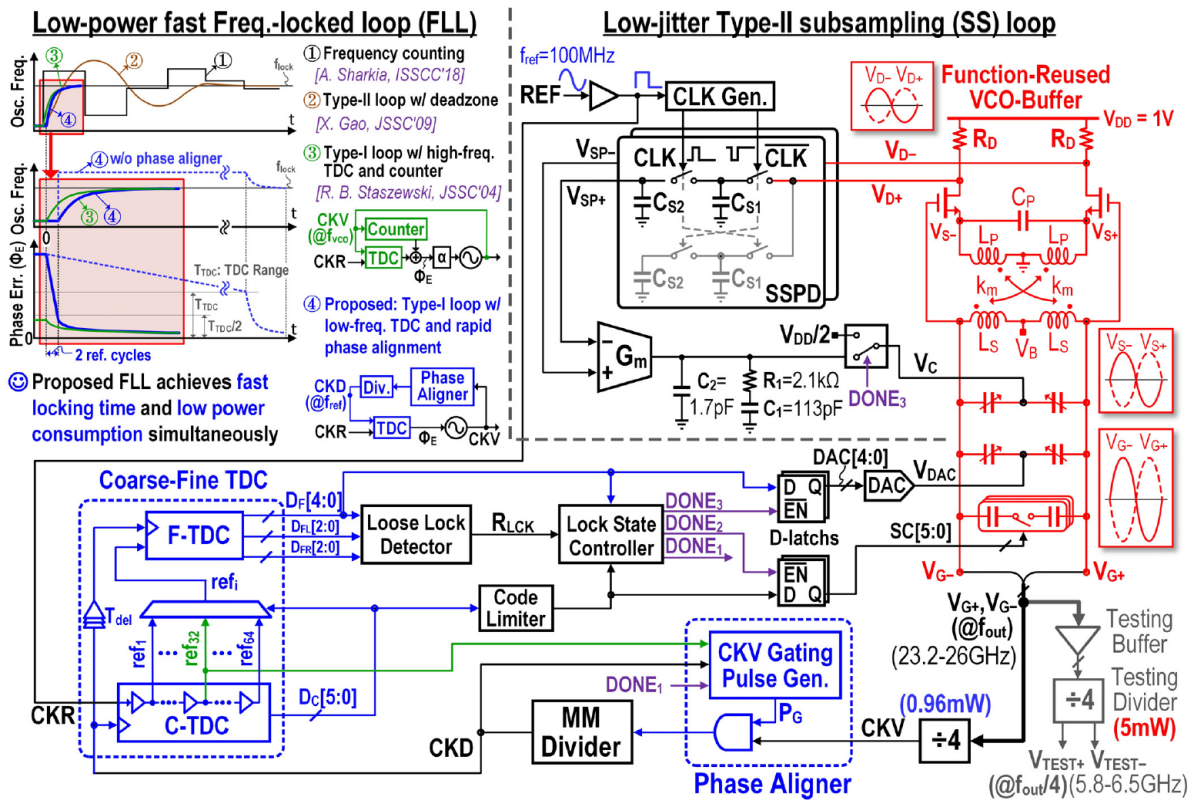
[그림 7]

#1-8 KAIST에서는 65nm 공정에서 D-band 및 H-band를 이용하는 sub-THz 통신을 위해 281 GHz의 높은 아웃풋 주파수를 생성해내는 PLL에 대해서 발표하였다. 이는 cascaded PLL 구조를 통해서 이루어졌는데, 첫번째 단계에 위치한 PLL은 injection-locked sub-sampling PLL구조를 통해서 jitter peaking을 낮추어 낮은 노이즈 성능을 확보하려고 하였다. 두번째 단계의 PLL에서는 높은 주파수를 합성할 때 SSPLL구조를 사용시 낮은 detection gain을 갖게 되는 한계점을 극복하기 위해서 current domain에서 sampling을 할 것을 제안하여 높은 detection gain을 가지고 PLL의 노이즈를 개선하였다. 본 연구에서는 268 GHz부터 282 GHz의 주파수를 생성하며 1kHz-to-10MHz와 1kHz-to-100MHz 주파수 범위에서 각각 46 fs 및 86 fs의 RMS jitter 성능을 달성하였다.



[그림 8] Sub-Hz 통신을 위한 제안된 cascaded PLL 구조.

#1-9 the University of Macau 에서는 28nm 공정을 이용하여 23.2-to-26GHz 주파수 대역에서 낮은 노이즈 성능 및 낮은 spur 성능과 빠른 frequency/phase locking time을 가지는 PLL에 대해서 발표하였다. 기존에 사용하던 inductive isolation buffer 또는 CML isolation buffer 대신에 function-reused VCO-buffer를 사용할 것을 제안하였으며 이를 통해 파워소모를 줄이고 불필요한 VCO의 로딩을 줄이면서도 낮은 노이즈와 spur 성능을 달성할 수 있었다. 또한 coarse-fine time-to-digital converter (TDC)를 기반으로 한 디지털 type-I PLL과 phase aligner를 제안하여 55개의 reference 사이클 내에 (약 0.55 us frequency/phase locking time) PLL locking이 가능함을 보여주었다. 본 연구에서 제안된 PLL은 48.3 fs rms jitter 및 -253.5dB의 FoM을 달성하였다. 제안된 function-reused VCO-Buffer 덕분에 본 연구에서는 sampling 과정에서 발생하는 isolation을 개선할 수 있었으며, 이를 통해 제안된 PLL에서는 -66dBc의 레퍼런스 spur 성능을 가질 수 있었다.



[그림 9] 제안된 low phase noise 및 빠른 locking time을 가지는 Sub-sampling PLL

저자정보



윤희인 교수

- 소 속 : 울산과학기술원 (UNIST) 전기및전자공학과
- 연구분야 : RF, analog/mixed IC designs, clock/frequency generation systems for emerging wireless standards
- 이 메 일 : heein.yoon@unist.ac.kr
- 홈페이지 : <https://acel.unist.ac.kr/>